

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-343151

(43)Date of publication of application : 30.11.1992

(51)Int.Cl.

G06F 12/06

(21)Application number : 03-114960

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.05.1991

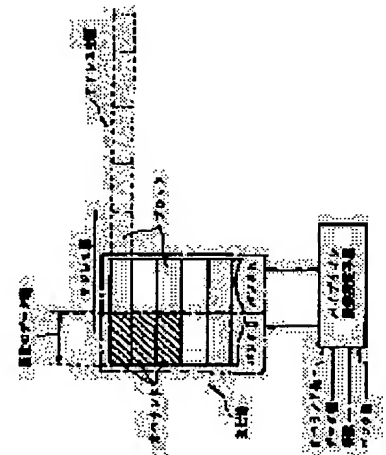
(72)Inventor : IINO HIDEYUKI
TAKAHASHI HIROMASA

(54) MEMORY ACCESS DEVICE

(57)Abstract:

PURPOSE: To flexibly set the number of the pipe line stages regardless of the physical number of banks, to evade an address competition and to evade the inconvenience occurrence on a pipe line action.

CONSTITUTION: In a memory access device to divide the address space of main storing into equal intervals with the prescribed data width, perform the address combination for each divided block, constitute the (n) number of banks, store the operand of the half length of the prescribed data width or the data width into a bank, and perform the pipe line data access with the distance equivalent to the integral multiple of the operand length, a pipe line stage number setting means to set the number of the pipe line stages is equipped based on the operand-length, the prescribed data width, the value of the magnification and the number of the banks.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

NOT AVAILABLE COPY

特開平4-343151

(43) 公開日 平成4年(1992)11月30日

(51) Int. Cl.³

G 0 6 F 12/06

識別記号

5 4 0

庁内整理番号

8841-5B

F I

技術表示箇所

審査請求 未請求 請求項の数 1 (全 15 頁)

(21) 出願番号 特願平3-114960

(22) 出願日 平成3年(1991)5月20日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 飯野 秀之

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 高橋 宏政

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 井理士 井桁 貞一

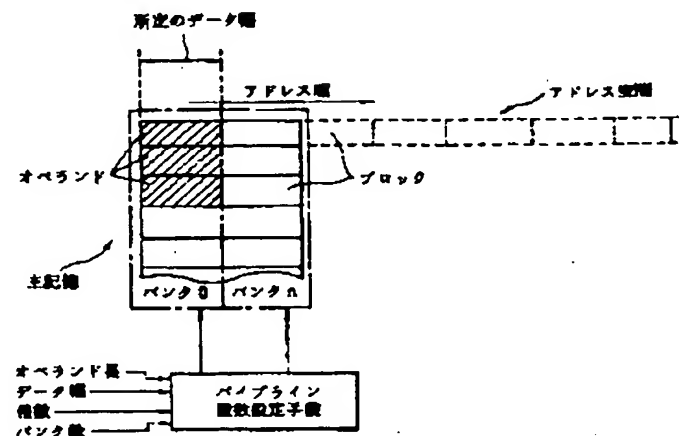
(54) 【発明の名称】 メモリアクセス装置

(57) 【要約】

【目的】 物理的なバンク数に拘らず柔軟にパイプライン段数を設定でき、アドレス競合を回避してパイプライン動作上の不都合発生を回避することを目的としている。

【構成】 主記憶のアドレス空間を所定のデータ幅で等間隔に区切り、該区切られたブロック毎にアドレス連結して n 個のバンクを構成すると共に、前記所定のデータ幅若しくは該データ幅の半分の長さのオペランドを前記バンクに格納し、該オペランド長の整数倍に相当する距離で、パイプライン的なデータアクセスを実行するメモリアクセス装置において、前記オペランド長、前記所定のデータ幅、前記倍数の値及び前記バンク数に基づいて、前記パイプライン段数を設定するパイプライン段数設定手段を備えたことを特徴とする。

本発明の原理図



1

(2)

(2)

2

【特許請求の範囲】

【請求項1】主記憶のアドレス空間を所定のデータ幅で等間隔に区切り、該区切られたブロック毎にアドレス連結してn個のバンクを構成すると共に、前記所定のデータ幅若しくは該データ幅の半分の長さのオペランドを前記バンクに格納し、該オペランド長の整数倍に相当する距離で、パイプライン的なデータアクセスを実行するメモリアクセス装置において、前記オペランド長、前記所定のデータ幅、前記倍数の値及び前記バンク数に基づいて、前記パイプライン段数を設定するパイプライン段数設定手段を備えたことを特徴とするメモリアクセス装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、メモリアクセス装置、特にアドレス空間を複数領域（バンク）に分割して、各領域を並列的にアクセスするアクセス装置に関する。コンピュータシステムの処理速度を向上するには、主記憶とコンピュータとの間に、超高速動作するメモリいわゆるキャッシュメモリを介在させるのが効果的である。コンピュータの平均アクセス時間を、キャッシュメモリのアクセス時間に相当して高速化することができる。

【0002】ところで、キャッシュメモリの容量は主記憶に比べて小さいため、目的とするデータがキャッシュメモリ内に存在しない場合（ミスヒット）がしばしば起こり得る。ミスヒットが発生すると、その都度、キャッシュメモリの内容が主記憶の内容で更新されることとなり、コンピュータの動作速度が主記憶のアクセス速度に依存して遅くなる不都合がある。

【0003】かかる不都合の対策として、(1) キャッシュメモリの容量を大きくする、(2) キャッシングのアルゴリズムを改善してヒット率を高める、(3) 主記憶にキャッシュメモリのような高速／高性能素子（例えばSRAM）を採用する、等が考えられる。

【0004】しかし、(1) はシステムコストの面から限界があり(2) はミスヒットを少なくすることはできないものの絶無化は不可能(3) は主記憶の容量に比例してシステムコストが大幅に上昇する、等の問題があった。ここで、図23はマイクロプロセッサのバスサイクルの一例を示すタイミングチャートであり、CLKはクロック信号、ADDRESSはマイクロプロセッサからバス上に出力されるリードまたはライト用のアドレスデータ、BS#はバスサイクルの開始を示す制御信号（この信号とCLKの論理が取られてアドレスデータがラッチされる）、DATAはリード（またはライト）データ、DC#はリードされたデータが有効であること（またはライトデータの書き込み完了）を示す信号である。なお、#は負論理を示す。

【0005】この例では、1サイクル（基本サイクル）

が2クロック（ T_1 、 T_2 ）分の長さに設定されている。これは、リードサイクルのデータとライトサイクルのデータが、バス上で衝突すること（バスコンフリクト）がないようにするためである。すなわち、リード（またはライト）アドレスをバス上に送出し、BS#の変化のタイミングでリード（またはライト）アドレスをラッチした後、リード（またはライト）データを読み出す（または書き込む）といった一連の動作を、2クロック長の基本サイクルで実行できる。

【0006】このような高速の基本サイクルで読み書きできるメモリとしては、例えばキャッシュメモリがあるが、一般的な主記憶はこれよりも遅い。例えば、1つのリード（またはライト）サイクルが4クロックで完結する主記憶を考えると、その構成は図24のようになる。なお、説明の都合上、キャッシュメモリは省略してある。

【0007】かかる構成によるリードまたはライト動作は、図25のタイミングチャートに示すように、マイクロプロセッサ側の基本サイクルが2クロック（ T_1 、 T_2 ）で完了するにも拘わらず、主記憶側ではサイクル毎に4クロックを要するので、2クロック分のウェイトサイクル（ T_2a 、 T_2b ）が発生し、その間マイクロプロセッサの動作が中断する結果、速度向上を図ることができなくなる。

【0008】

【従来の技術】こうした問題を解決できる従来例として、図26にその概念図を示すようなものが知られている。この例では、主記憶のアドレス空間を複数に分割し、その各々を「バンク（BANK）」と称して使用する。

【0009】ここで、1つのバンクは、 $W \times D$ のアドレス空間を有しており、 W が所定のデータ幅（例えば64ビットまたは32ビット）を有するブロック長に相当し、 D がブロック数に相当すると共に、隣接バンクの同じ高さに位置するブロック同士のアドレスが連続している。すなわち、当該2つのバンクの主記憶に対して、最下位アドレスから最上位アドレスまでを連続すると、バンク₀の最下位ブロック→バンク₁の最下位ブロック→バンク₀の次位ブロック→バンク₁の次位ブロック→バンク₀の次次位ブロック→バンク₁の次次位ブロック→……バンク₀の最上位ブロック→バンク₁の最上位ブロックの順に連続してアクセスされることになる。

【0010】このようにバンク分けした主記憶を用いると、以下に述べるような「パイプライン」動作が可能になる。図27において、バンク₀内の任意アドレスを指定するアドレスデータ（BANK₀アドレス）とバンク₁内の任意アドレスを指定するアドレスデータ（BANK₁アドレス）とを、基本サイクル C_1 、 C_2 、 C_3 、……毎に交互に繰り返して出力することにより、総バンク数から1基本サイクルを引いたサイクル数（アドレス先出し

数)の経過後、すなわち基本サイクルC_i以降は、見掛け上、基本サイクル毎にリード(またはライト)データを得ることができる。

【0011】したがって、基本サイクルC_i(iは1、2、……)のアドレスに対応したリードデータを、次の基本サイクルC_{i+1}で得ることができ、アドレスデータの出力動作とリードデータ(またはライトデータ)の読み出し(または書き込み)動作とを並行的に実行することができる。その結果、バンク数と同じ段数のパイプライン動作を行うことができ、キャッシュメモリに比べて速度的に劣る主記憶を、キャッシュメモリ相当に高速化して使用することができる。

【0012】

【発明が解決しようとする課題】しかしながら、かかる従来のメモリアクセス装置にあっては、バンク数からアドレスの先出し数を決定し、その数と同じ段数のアドレスパイプラインを実行する(例えばバンク数4の場合は4段のパイプラインとする)構成となっていたため、①ストライド値を用いてアドレス生成を行う場合や、②間接アドレスによってアドレス生成を行う場合に、同一バンクに対する連続アクセスが発生することがあり、アドレスパイプラインを実行できないといった問題点があった。

【0013】一般に、科学技術計算プログラムなどでは、多数のデータ要素に対して同一の演算内容を繰り返す演算処理を行うことが多く、次に示すベクトル処理ルーチンはその代表的な例である。なお、例はフォートラン表記である。

ステップ001 DO LABEL I=1, 100

ステップ002 C(I)=A(I)+B(I)

ステップ003 F(I)=D(I)*E(I)

ステップ004 LABEL CONTINUE

ステップ001からステップ004までのDOループを、Iの範囲(1~100)だけ繰り返すと共に、それぞれの処理回ごとにIの値を更新しながら、

C(I)=A(I)+B(I)

F(I)=D(I)*E(I)

の演算を実行する。例えば1回目の演算は、

C(1)=A(1)+B(1)

F(1)=D(1)*E(1)

となり、また、100回目の演算は、

C(100)=A(100)+B(100)

F(100)=D(100)*E(100)

となる。

【0014】ここで、上記例示のDOループを完結するには、A(1)からA(100)、B(1)からB(100)、D(1)からD(100)及びE(1)からE(100)といったきわめて多くのオペランドを必要とする。このためオペランドをアクセスするための効率的なアドレス生成が求められる。前記①または②のアドレ

ス生成方式はかかる多数のオペランドアクセスに好適な技術である。

①ストライド値によるアドレス生成方式

1つ前に出力されたアドレスからの距離を、オペランド長L(Lは所定アドレス幅で例えば32ビットまたは64ビットでありオペランド単位と営うこともある)の整数倍の値 α (α をストライド値と呼ぶ)で表す生成方式である。例えば $\alpha=1$ とした場合には、図28に示す「連続オペランド配列」に対応する。すなわち、ベースアドレスを基準として連続する複数のオペランド0~4は、「1」をストライド値として順次に発生するアドレスによって、まず、オペランド0、次いでオペランド1、……というように連続的にアクセスされる。

【0015】あるいは、 $\alpha=n$ (但し $n \neq \pm 1$)とした場合には、図29に示す「等間隔オペランド配列」に対応する。すなわち、ベースアドレスを基準として等間隔に連続する複数のオペランド0~2は、「n」をストライド値として順次に発生するアドレスによって、まず、オペランド0、次いでオペランド1、……というように連続的にアクセスされる。

②間接アドレスによるアドレス生成方式

ベースアドレスからの距離(この方式ではオフセット値と営う)をオペランド長Lの整数倍で表す生成方式である。前者の方式では全てのオペランドに対して共通のストライド値を持つが、この方式ではオペランド毎に固有のオフセット値を持つ。図30において、VRはオフセットレジスタである。このVRには、アクセスすべきオペランド毎のオフセット値0~3が格納されており、オフセット0の内容に基づいてオペランド0をアクセスし、次いでオフセット1の内容に基づいてオペランド1をアクセスし、……という動作を繰返すことにより「間接アドレス配列」のメモリアクセスを行う。オフセット値はアドレス生成中、動的に変化する。

【0016】ところが、これらの各方式によりアドレスを生成して、バンク数分のアドレス先出し処理を行う際、次の条件を満足するとパイプライン上の不都合(同一バンクに対する連続アクセス)を生ずることがある。例えば、バンク幅とオペランド単位が等しく、しかもバンク数とストライド値が一致する場合である。図31はオペランド単位とバンク幅が共に64ビットで、且つ、バンク数とストライド値が共に「4」の場合のアクセス状態図である。また、図32(a)はオペランド単位とバンク幅が共に64ビットで、且つ、バンク数とストライド値が共に「2」の場合のアクセス状態図である。ハッチングで示す部分がアクセスすべきオペランド(op1、op2、op3)であり、これらのオペランドは同一バンク(BANK_j)に属している。

【0017】したがって、アドレス先出しにより、op1、op2、op3の間でアドレス競合が発生するから、図31及び図32(a)何れの場合も正常なパイプ

ライン動作を期待できないという欠点がある。なお、図32(b)は、同図(a)に対してオペランド単位だけが異なる(64ビット→32ビット)場合の状態図である。この場合、バンクを切換えながらop0、op2、op3をアクセスできるので、上記不都合を生じることはない。

【0018】そこで、本発明は、物理的なバンク数に拘らず柔軟にパイプライン段数を設定でき、アドレス競合を回避してパイプライン動作上の不都合発生を回避することを目的としている。

【0019】

【課題を解決するための手段】本発明は、上記目的を達成するためその原理図を図1に示すように、主記憶のアドレス空間を所定のデータ幅で等間隔に区切り、該区切られたブロック毎にアドレス連結してn個のバンクを構成すると共に、前記所定のデータ幅若しくは該データ幅の半分長さのオペランドを前記バンクに格納し、該オペランド長の整数倍に相当する距離で、パイプライン的なデータアクセスを実行するメモリアクセス装置において、前記オペランド長、前記所定のデータ幅、前記倍数の値及び前記バンク数に基づいて、前記パイプライン段数を設定するパイプライン段数設定手段を備えたことを特徴とする。

【0020】

【作用】本発明では、同一バンクを連続してアクセスするようなアドレスの生成時に、パイプライン段数が物理的なバンク数に拘らず柔軟に設定され、アドレス競合を回避してパイプライン動作上の不都合が排除される。

【0021】

【実施例】以下、本発明の実施例を図面に基づいて説明する。

原理説明

まず、本実施例の原理を説明すると、図2～図4は「物理的」なパイプライン段数をそれぞれ1段、2段、4段とする各種パイプラインの構成例であり、各図のバンク数は、所定の条件満足時を除き物理的パイプライン数に対応している。すなわち図2の構成では1つのバンク(BANK₀)からなる主記憶を有し、図3の構成では2つのバンク(BANK₀、BANK₁)からなる主記憶を有し、また、図4の構成では4つのバンク(BANK₀、BANK₁、BANK₂、BANK₃)からなる主記憶を有している。

【0022】これらの主記憶は、メモリ制御回路やアドレスバス及びデータバスを介してマイクロコントローラ等のメモリアクセス装置に接続しており、メモリアクセス装置には、例えばバンク数通知用の外部端子T₀、T₁(バンク数設定用のレジスタでもよい)が設けられ、主記憶のバンク数が外部から通知できるようになっている。図5はバンク数と外部端子T₀、T₁の設定との関係を示す図であり、T₀、T₁をそれぞれ高電位側電源V_H、

(V_Lは論理1に相当する電位)または低電位側電源V_L(V_Hは論理0に相当する電位)に選択的に接続し、2ビット分の情報で4通りのバンク数(2⁰=バンク数1、2¹=バンク数2、2²=バンク数4、2³=リザーブとして確保)を表現する。

【0023】このような主記憶に対し、ベースアドレスとストライド値によるアドレス生成方式を適用する場合、前述の不具合が生ずることがある。そこで、本実施例では、「主記憶のバンク数」「ストライド値」及び「オペランド長」に基づいて、メモリアクセス装置側から見た場合の見掛け上のバンク数(以下、論理バンク数と言う)を導き、この論理バンク数に対応したパイプライン段数を、アドレス生成方式ごとに設定する。

①ストライド値によるアドレス生成方式

図6、図7はそれぞれオペランド長が64ビットの場合と32ビットの場合の設定パイプライン数を示す図である。図中のバンク数(1、2及び4)は主記憶上の「物理的」なバンク数であり、設定されたパイプライン段数は論理バンク数に対応する。

【0024】まず、図6を参照しながら、64ビットオペランドの場合の設定パイプライン段数を説明する。

(1a) 物理的なバンク数が「1」の場合には、仮想バンク数も「1」である。したがって、この場合パイプラインの段数を全て「1」に設定する。

(1b) 物理的なバンク数が「2」の場合には、ストライド値の下位1ビットに応じてパイプラインの段数を「1」または「2」に設定する。具体的には、当該ビットが「0」であれば「1」段に、または、当該ビットが「1」であれば「2」段に設定する。すなわち、ストライド値が偶数であれば「1」段に、奇数であれば「2」段に設定する。

(1c) 物理的なバンク数が「4」の場合には、ストライド値の下位2ビットに応じてパイプラインの段数を「1」「2」または「4」段に設定する。具体的には、当該ビットが「00」であれば「1」段に、「10」であれば「2」段に、それ以外、すなわち「01」または「11」であれば「4」段に設定する。

【0025】次に、図7を参照しながら、32ビットオペランドの場合の設定パイプライン段数を説明する。

(2a) 物理的なバンク数が「1」の場合には、仮想バンク数も「1」である。したがって、この場合パイプラインの段数を全て「1」に設定する。

(2b) 物理的なバンク数が「2」の場合には、ストライド値の下位2ビットに応じてパイプラインの段数を「1」または「2」に設定することを基本とする。但し、連続オペランド配列(ストライド値=±1)の場合は、32ビットオペランド×2で64ビットアクセスが可能なので例外として扱う。

【0026】具体的には、ストライド値が±1以外で、且つストライド値の下位2ビットが「00」または下位

1ビットが"1"であれば「1」段に、または、ストライド値が+1あるいは-1で、且つストライド値の下位2ビットが"10"であれば「2」段に設定する。

(2c) 物理的なバンク数が「4」の場合には、ストライド値の下位3ビットに応じてパイプラインの段数を「1」「2」または「4」に設定することを基本とする。但し、連続オペランド配列(ストライド値=±1)の場合は、32ビットオペランド×2で64ビットアクセスが可能なので例外として扱う。

【0027】具体的には、ストライド値が±1以外で、且つストライド値の下位3ビットが"000"または下位1ビットが"1"であれば「1」段に、または、ストライド値が±1以外で、且つストライド値の下位3ビットが"100"であれば「2」段に、または、ストライド値が+1あるいは-1で、且つストライド値の下位2ビットが"10"であれば「4」段に設定する。

【0028】図8～図13は上記の条件によって設定されたアドレスパイプラインの模式図であり、図8～図10は64ビットオペランド時(図6参照)に対応し、図11～図13は32ビットオペランド時(図7参照)に対応する。なお、これらの図では、左下がりのハッチングで出力アドレスを、また、左下がりと右下がりのハッチングでアクセス対象のオペランドを表現している。

【0029】図8において、物理的なバンク数が1のとき、設定パイプライン段数(Pipeline)が「1」固定となる。図9において、物理的なバンク数が2のとき、ストライド値によって「1」または「2」段が選択される。図10において、物理的なバンク数が4のとき、ストライド値によって「1」「2」または「4」段が選択される。以上は、64ビットオペランドの場合である。

【0030】図11において、物理的なバンク数が1のとき、ストライド値1で且つ64ビットアクセスの場合と、ストライド値2で且つ32ビットアクセスの場合の双方で、パイプライン段数が「1」固定となる。図12において、物理的なバンク数が2のとき、ストライド値1で且つ64ビットアクセスの場合と、ストライド値2で且つ32ビットアクセスの場合の双方で、パイプライン段数が「2」固定となり、または、ストライド値3で且つ32ビットアクセスの場合に「1」固定となる。図13において、物理的なバンク数が4のとき、ストライド値1で且つ64ビットアクセスの場合と、ストライド値2で且つ32ビットアクセスの場合の双方で、パイプライン段数が「4」固定となり、または、ストライド値3あるいは4で且つ32ビットアクセスの場合に「1」(ストライド値3のとき)または「2」(ストライド値4のとき)固定となる。以上は、32ビットオペランドの場合である。

②間接アドレスによるアドレス生成方式

図14、図15はベースアドレス及び間接値によるアド

レス生成の一例を示す模式図である。図からも明らかのように、この生成方式ではオペランド配列(op1, op2, ……)に規則性が見られない。したがって、かかる生成方式においては、バンク制御回路でのアドレスのラッチを可能とするために、アドレスの先出し数、すなわちパイプライン段数を「1」に固定する。

【0031】以上のことから本実施例によれば、物理的なバンク数に拘らず、適切なアドレスパイプライン段数を柔軟に設定することができる。したがって、①ストライド値を用いてアドレス生成を行う場合や、②間接アドレスによってアドレス生成を行う場合のパイプライン段数を最適化でき、その結果、キャッシュメモリに比べて速度的に劣る主記憶を、あらゆる条件下でキャッシュメモリ相当に高速化して使用することができるという効果を得ることができる。

実施例

図16～図22は本発明に係るメモリアクセス装置の一実施例を示す図である。

【0032】まず、構成を説明する。図16はアドレスパイプライン決定回路の構成図であり、この回路は、アドレスレジスタ10、比較器11、命令デコーダ12、外部端子13及びアドレスパイプライン段数設定部(アドレスパイプライン段数設定手段)14を含む。アドレスレジスタ10は、ストライド値の下位nビットを通知し、比較器11は、アドレス生成用レジスタ10からのストライド値と連続オペランド配列を示す基準ストライド値(±1)との一致/不一致を判定し、命令デコーダ12は、メモリアクセスの命令をデコードして、オペランド長の区別(例えば64ビットか32ビットかの区別)を通知すると共に、アドレス生成方式の区別(ストライド値による生成方式か間接値による生成方式かの区別)を通知し、外部端子13は、物理的なバンク数(BANK₀, BANK₁, ……, BANK_{k-1})を通知し、アドレスパイプライン段数設定部14は、これらの各通知情報、すなわち、アドレス生成方式を示す情報(D₁)、オペランド長を示す情報(D₂)、連続オペランド配列であるか否かを示す情報(D₃)、物理的なバンク数を示す情報(D₄)、ストライド値の下位nビットの情報(D₅)、に基づいて「1」～「k」のパイプライン段数を選択的に設定する。

【0033】図17は、本実施例におけるタイミングシーケンスの概念図である。この図では、例えば1、2及び4の各バンク数に対応した3つのパイプライン部21、22、23を備え、それぞれのパイプライン部21、22、23は、アドレス先出し部分(左下がりハッチング)、アドレスとデータの処理部分(クロスハッチング)、及び、パイプライン段数分のデータ処理部分(右下がりハッチング)を備える。アドレス先出し部分とデータ処理部分は1個を含む複数のユニットからなり、ユニットの数は、上記のアドレスパイプライン段数

設定部14によって設定されたパイプライン段数「1」「2」「4」に対応する。

【0034】例えば、設定パイプライン段数が「4」の場合には、4つのアドレスを先出しするので、4つのアドレス先出し部分と、アドレスの先出しを終えた後でメモリアクセスの要求がある間にアドレスとデータの処理を行うための1つのデータ処理部分と、要求が無くなった後に先出ししている4つのデータを処理するための4つのデータ処理部分と、を備える。

【0035】図18は「ストライド値によるアドレス生成方式」と「間接値によるアドレス生成方式」の双方を適用したアドレス生成のブロック図である。

①「ストライド値によるアドレス生成方式」の場合
セクタによって「ストライド値」を選択する。通常はこのストライド値にオペランド長を乗算した値がベースアドレスへの「加算値」となる。加算値はアドレス生成の間一定の値である。しかし、連続オペランド配列で且つオペランド長が外部データバスの半分であればデータバス幅分のアクセスが可能であり、データバス幅を乗算した値がベースアドレスへの「加算値」となる。なお、ベースアドレスの開始アドレスやオペランドの個数によってはオペランドを1個しかアクセスできない場合もあるので、加算値は動的に変化する。

【0036】このように、出力アドレスは、ベースアドレスと「加算値」とによって作られるが、1回目の出力アドレスはベースアドレスそのものであり、加算器（略号、ADD）では加算しない。2回目以降はADDからの出力値をベースアドレスとし、ストライド値によって作られる加算値を加えていく。

②「間接値によるアドレス生成方式」の場合
セクタによって「間接値」を選択する。この間接値はアドレスの生成数だけ格納されており、各々の間接値にオペランド長を乗算した値がベースアドレスへの各々の「加算値」となる。加算値はアドレス生成の間、常に変動する。

【0037】出力アドレスは、ベースアドレスに各々の「加算値」を毎回加算することによって作られる。なお、この方式ではストライド値のようにADDからの出力を戻すことはしない。また、本実施例では、図19に示すように、オペランド数を設定するレジスタの値をメモリアクセスの度に1だけデクリメントし、あるいは、連続オペランドの場合には1回のメモリアクセスでアクセスした数だけまとめてデクリメントする。

【0038】図20は上記の2つのアドレス生成方式によって作られたアドレスの出力タイミングチャートである。一般に、アドレス先出しを行わないシステムでは、アドレスの切り替えタイミングを、その出力アドレスに対するデータの処理完了通知DC#の受け付けを待って規定するが、本実施例では、メモリアクセス装置から見える主記憶のバンク数分のアドレスについては、アドレ

スのデータ処理を待たずに出力する。

【0039】これには、アドレスパイプライン段数設定回路14によって決められたパイプライン段数、すなわち先出しアドレス数分だけ、アドレスの切換えタイミングに擬似DC#を与えて予めアドレスを出力し、その後、実際のDC#に応答してアドレスを切り換えればよい。例えば、図21に示すように、選択タイミングシーケンサの各アドレス先出し部分ごとに擬似DC#を発生すればよい。

10 【0040】図22は本実施例を適用したシステム構成例であり、バンク数が2の場合の例である。この図において、30はマイクロプロセッサ（メモリアクセス装置）、31はマイクロプロセッサ30にバンク数を通知する入力端子であり、マイクロプロセッサ30からのアドレスデータA₀～A₃₁は、マスタラッチ32を介してバンク数分の二つのスレーブラッチ33、34の一方に取り込まれる。二つのスレーブラッチ33、34には、ラッチ信号発生回路35からのバンク0ラッチ信号BL₀、バンク1ラッチ信号BL₁が各々与えられており、ラッチ信号発生回路35は、AV#とDC#が共に負論理またはBS#が負論理のときに、アドレスデータの下位4ビット目（A₃）の論理に従って何れか一方の出力が正論理となる複合論理回路36、37と、この正論理出力をクロック信号CLKに同期させるフリップフロップ38、39とを備え、アドレスデータの下位4ビット目が負論理のときにバンク0側の複合論理回路36の出力を真、下位4ビット目が正論理のときにバンク1側の複合論理回路37の出力を真とする。

30 【0041】すなわち、アドレスデータがバンク0指定の場合で、AV#とDC#が共に負論理またはBS#が負論理であれば、バンク0側のスレーブラッチ33にアドレスデータが取り込まれて主記憶のバンク0（#0）がアクセスされる一方、アドレスデータがバンク1指定の場合で、AV#とDC#が共に負論理またはBS#が負論理であれば、バンク1側のスレーブラッチ34にアドレスデータが取り込まれて主記憶のバンク1（#1）がアクセスされる。なお、40はDC#を発生するためのノアゲート、45はデータ用マスタラッチ、46、47はデータ用スレーブラッチ、48、49はデータ用バッファである。

40 【0042】このような構成によると、パイプライン動作の開始直後のアドレスデータが、BS#のアサート状態におけるマスタラッチクロックのタイミングで確定され、そのときのアドレス下位4ビット目の論理状態に従ってバンク0（#0）とバンク1（#1）側のスレーブラッチに順次に取り込まれると共に、続くアドレスデータが、AV#とDC#の双方のアサート状態におけるマスタラッチクロックのタイミングで確定され、そのときのアドレス下位4ビット目の論理状態に従ってバンク0（#0）とバンク1（#1）側のスレーブラッチに順次

に取り込まれる。

【0043】

【発明の効果】本発明によれば、物理的なバンク数に拘らず柔軟にパイプライン段数を設定でき、アドレス競合を回避してパイプライン動作上の不都合発生を回避することができる。

【図面の簡単な説明】

【図1】本発明の原理図である。

【図2】一実施例のバンク数1の概念構成図である。

【図3】一実施例のバンク数2の概念構成図である。

【図4】一実施例のバンク数4の概念構成図である。

【図5】一実施例のバンク数通知を示す図である。

【図6】一実施例の64ビットオペランドのときのパイプライン段数組み合わせを示す図である。

【図7】一実施例の32ビットオペランドのときのパイプライン段数組み合わせを示す図である。

【図8】一実施例の64ビットオペランドで且つバンク数1のときのアクセス概念図である。

【図9】一実施例の64ビットオペランドで且つバンク数2のときのアクセス概念図である。

【図10】一実施例の64ビットオペランドで且つバンク数4のときのアクセス概念図である。

【図11】一実施例の32ビットオペランドで且つバンク数1のときのアクセス概念図である。

【図12】一実施例の32ビットオペランドで且つバンク数2のときのアクセス概念図である。

【図13】一実施例の32ビットオペランドで且つバンク数4のときのアクセス概念図である。

【図14】一実施例の間接アドレス生成の場合で且つ64ビットオペランドのときのアクセス概念図である。

【図15】一実施例の間接アドレス生成の場合で且つ32ビットオペランドのときのアクセス概念図である。

【図16】一実施例のアドレスパイプライン段数設定回路の構成図である。

【図17】一実施例のタイミングシーケンサの概念図である。

【図18】一実施例のアドレス生成のブロック図である。

【図19】一実施例のオペランド数レジスタの更新概念図である。

【図20】一実施例の出力切替のタイミングチャートである。

【図21】一実施例の出力切替タイミング用擬似DC#の発生概念図である。

【図22】一実施例を適用したシステム図である。

【図23】従来例の基本サイクルが2クロックの場合のバスタイミング図である。

【図24】従来例の2クロックを基本サイクルとするマイクロプロセッサと4クロック動作の記憶装置との接続図である。

【図25】図24のバスタイミング図である。

【図26】従来例のパイプラインの構成図である。

【図27】図26のバスタイミング図である。

【図28】従来例の連続オペランド配列の概念図である。

【図29】従来例の等間隔オペランド配列の概念図である。

【図30】従来例の間接オペランド配列の概念図である。

【図31】従来例のオペランド単位とバンク幅が共に64ビットで且つバンク数とストライド値が共に「4」の場合のアクセス状態図である。

【図32】従来例のオペランド単位とバンク幅が共に64ビットで且つバンク数とストライド値が共に「2」の場合のアクセス状態図である。

【符号の説明】

14：アドレスパイプライン段数設定部（アドレスパイプライン段数設定手段）

【図5】

一実施例のバンク数通知を示す図

No	T ₀	T ₁	バンク数
1	0	0	1
2	0	1	2
3	1	0	4
4	1	1	リザーブ

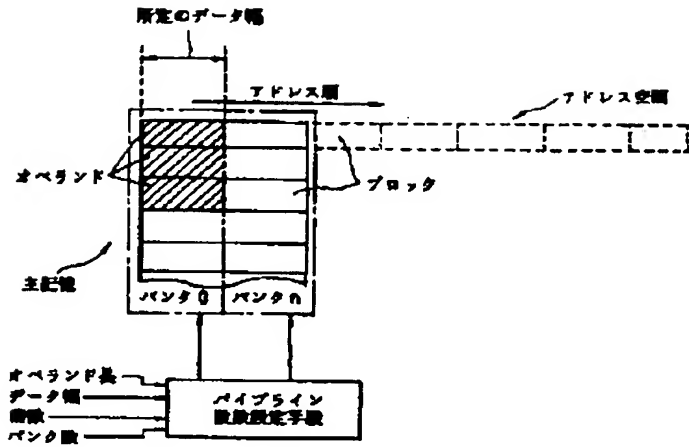
【図6】

一実施例の64ビットオペランドのときのパイプライン段数組み合わせを示す図

		ストライド値																
		-8	-7	-6	-5	-4	-3	-2	-1	0	1	2	3	4	5	6	7	8
バンク数	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	2	1	2	1	2	1	2	1	2	1	2	1	2	1	2	1	2	1
	4	1	4	2	4	1	4	2	4	1	4	2	4	1	4	2	4	1

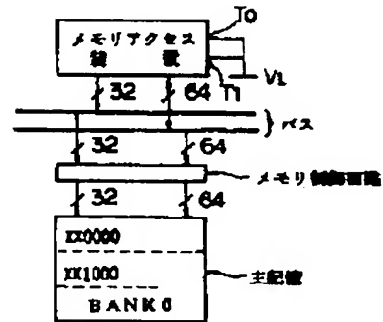
【図1】

本発明の原理図



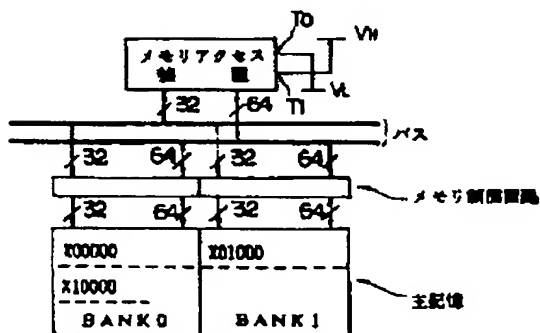
【図2】

一実施例のバンク数1の概念構成図



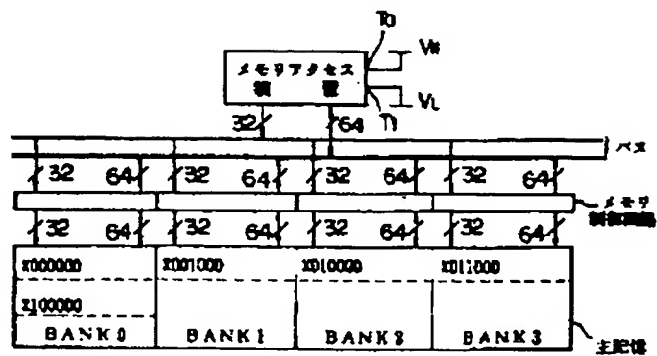
【図3】

一実施例のバンク数2の概念構成図



【図4】

一実施例のバンク数4の概念構成図



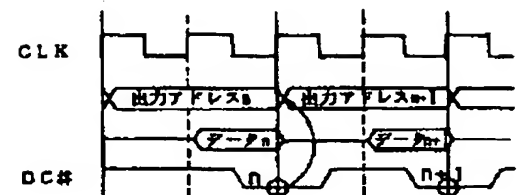
【図 7】

一実施例の32ビットオペランドのときのパイプライン段数組み合わせを示す図

		ストライド値																
		-8	-7	-6	-5	-4	-3	-2	-1	0	1	2	3	4	5	6	7	8
バンク数	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	2	1	1	2	1	1	1	2	2	1	2	2	1	1	1	2	1	1
	4	1	1	4	1	2	1	4	4	1	4	4	1	2	1	4	1	1

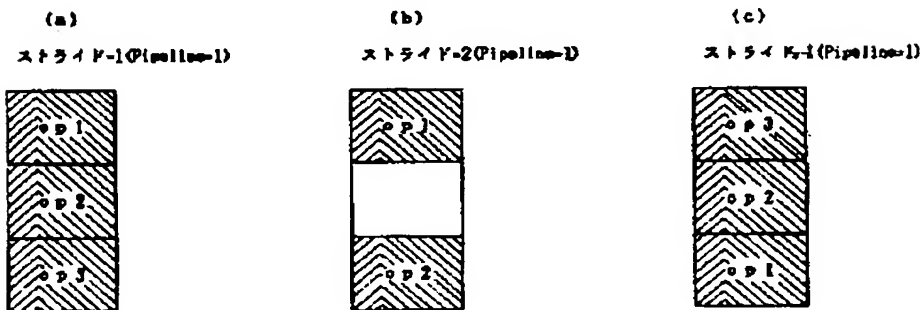
【図 20】

一実施例の出力切換えのタイミングチャート



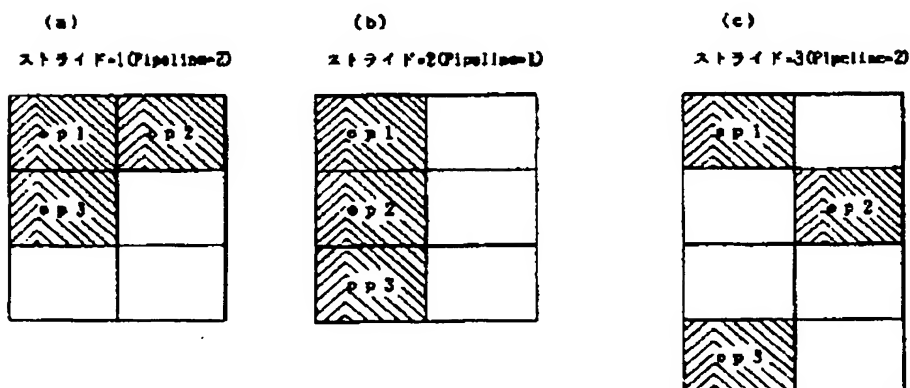
【図 8】

一実施例の64ビットオペランドで且つバンク数1のときのアクセス概念図



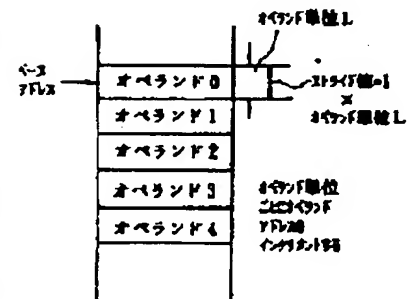
【図 9】

一実施例の64ビットオペランドで且つバンク数2のときのアクセス概念図



【圖 28】

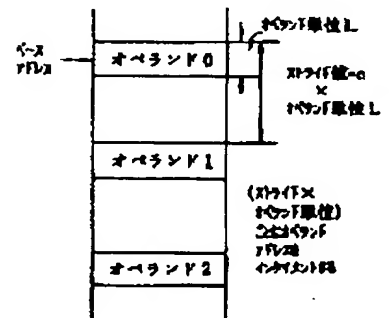
従来例の連続オペランド配列の概念図



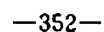
【 1 1 】

従来例の等価なオペランド配列の概念図

一実施例の32ビットオペランドで且つバンク数1のときのアクセス順を示す

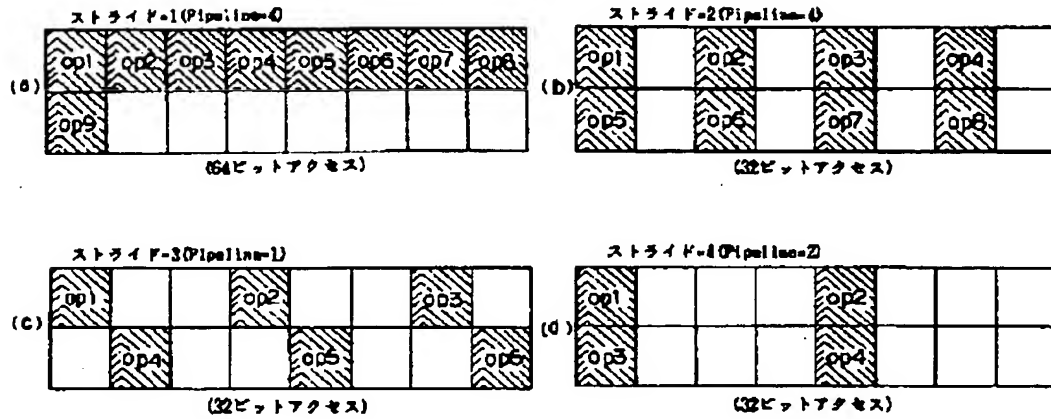


～実際の32ビットオペランドで且つバンク数2のときのアクセス～

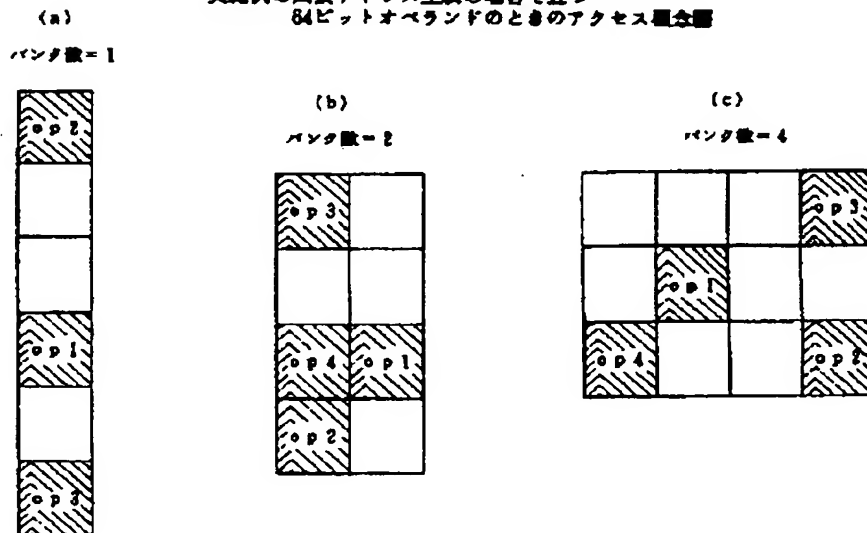


【図13】

一実施例の32ビットオペランドで且つバンク数4のときのアクセス概念図

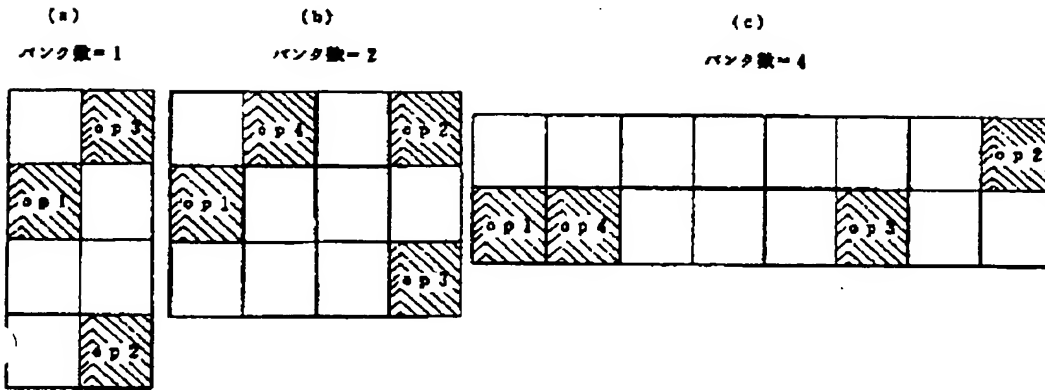


【図14】

一実施例の隣接アドレス生成の場合で且つ
64ビットオペランドのときのアクセス概念図

【図15】

一実施例の隣接アドレス生成の場合で且つ
32ビットオペランドのときのアクセス最善図

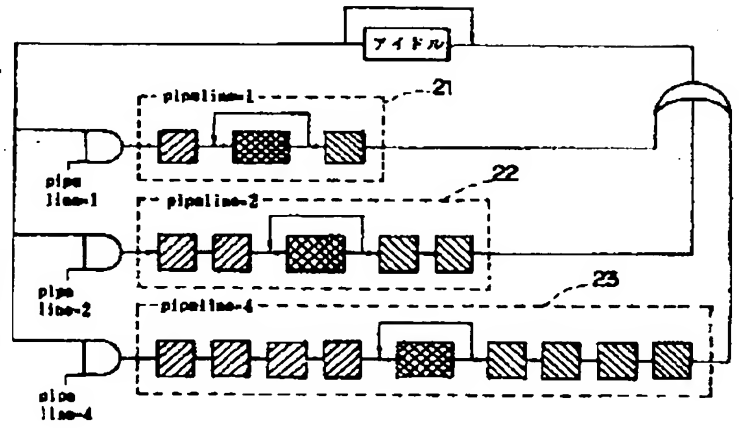
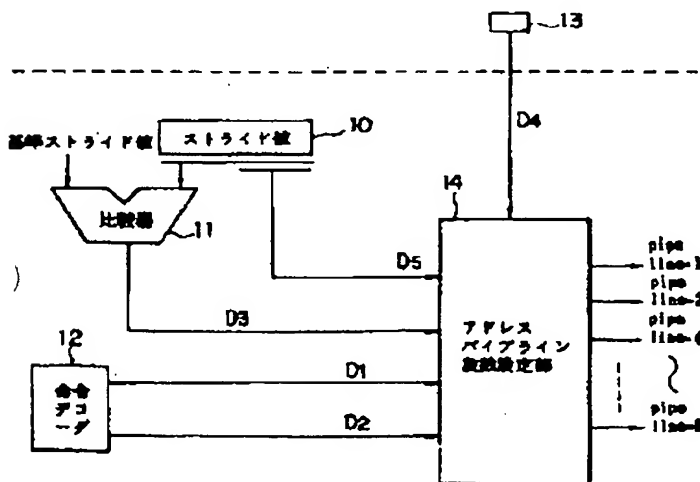


【図16】

【図17】

一実施例のアドレスパイプライン段数設定回路の構成図

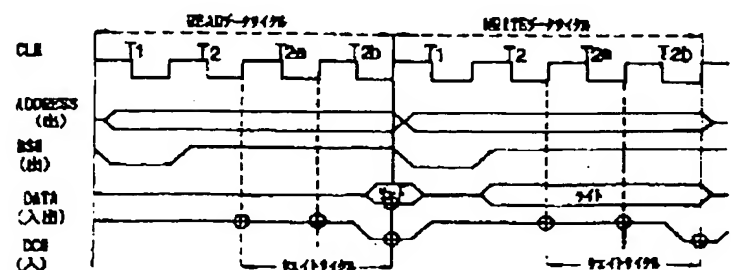
一実施例のタイミングシーケンサの概念図



【図25】

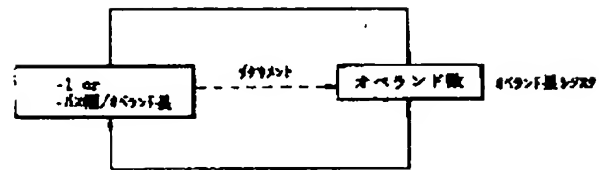
図24のバスタイミング図

14: アドレスパイプライン段数設定部 (アドレスパイプライン段数設定手段)



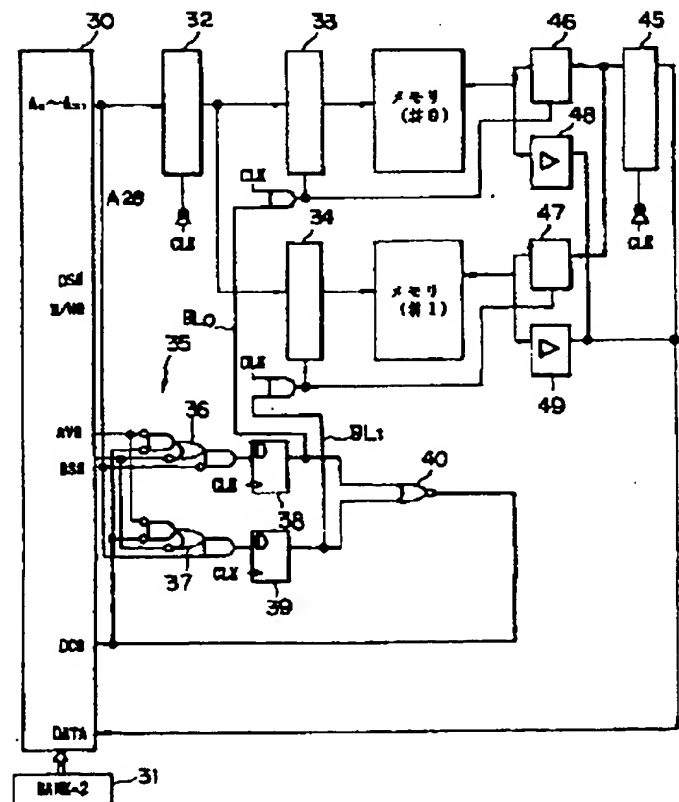
【☒ 19】

一実施例のオペランド数レジスタの更新概念図



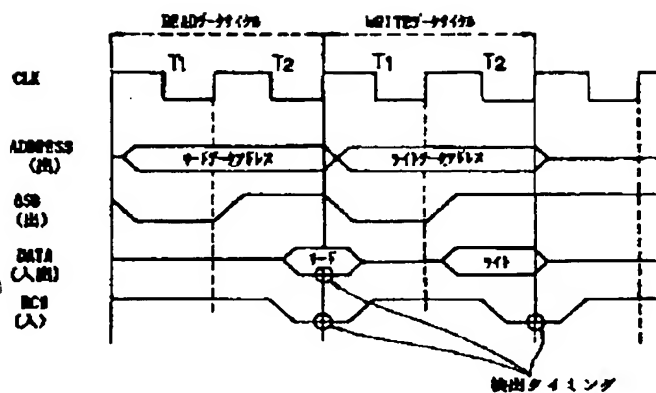
一実施例を適用したシステム図

一実施例の出力切換えタイミング用疑似DC分の発生概念図



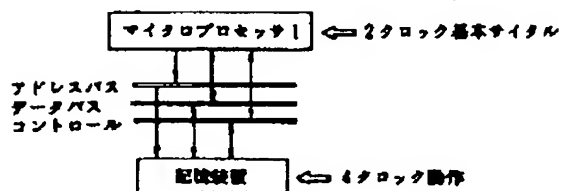
【図23】

従来例の基本サイクルが2クロックの場合のバスタイミング図



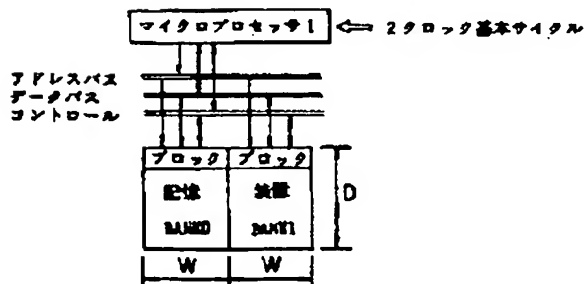
【図24】

従来例の2クロックを基本サイクルとする
マイクロプロセッサと4クロック動作の記憶装置との接続図



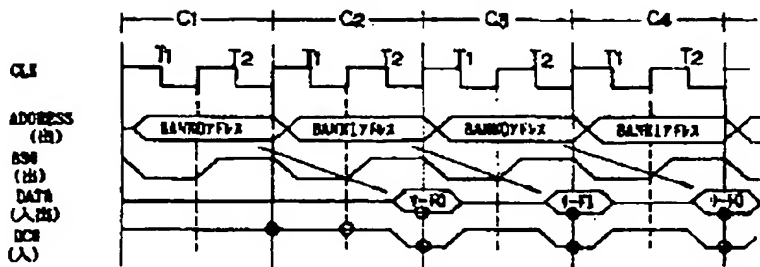
【図26】

従来例のパイプラインの構成図



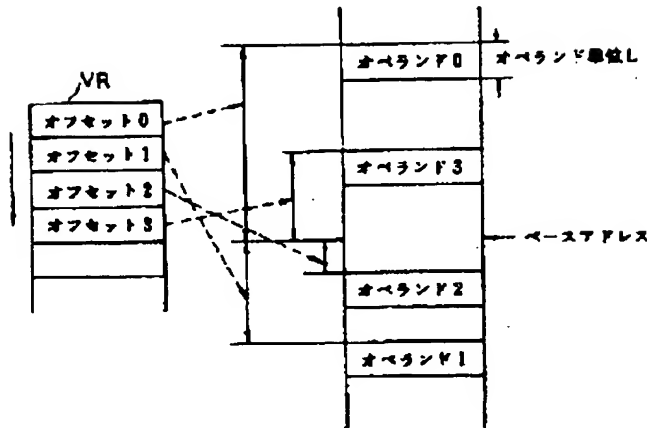
【図27】

図26のバスタイミング図



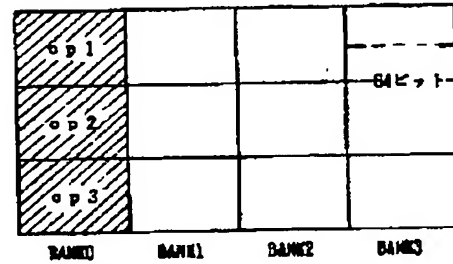
【図30】

従来例の連続オペランド配列の概念図



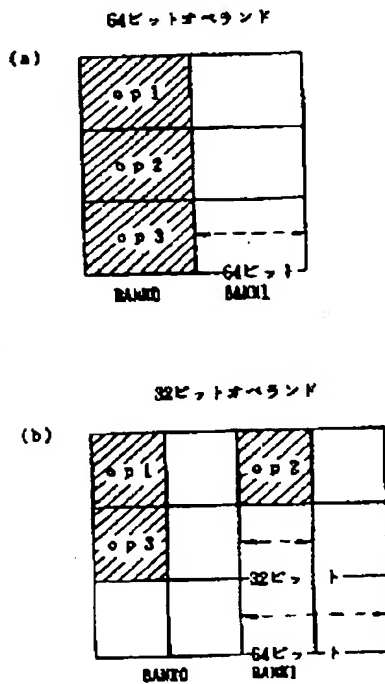
【図31】

従来例のオペランド単位とバンク幅が共に64ビットで且つ
バンク数とストライド値が共に「4」の場合のアクセス状態図



【図32】

従来例のオペランド単位とバンク幅が共に64ビットで且つ
バンク数とストライド値が共に「2」の場合のアクセス状態図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.